

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-276671

(43)Date of publication of application : 07.11.1989

(51)Int.Cl.

H01L 29/78

H01L 27/12

(21)Application number : 63-105280

(71)Applicant : SEIKOSHA CO LTD

NIPPON PRECISION CIRCUITS  
KK

(22)Date of filing : 27.04.1988

(72)Inventor : TANAKA SAKAE

WATANABE YOSHIAKI  
SHIRAI KATSUO

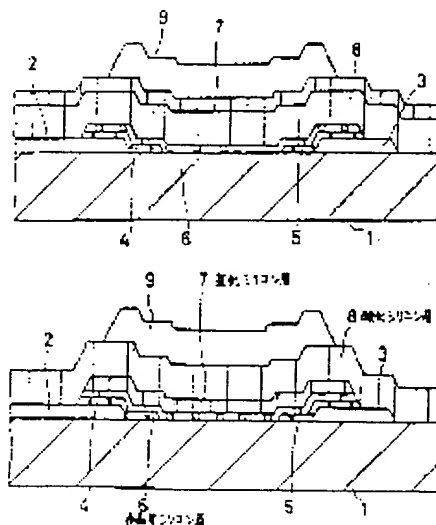
## (54) STAGGERED TOP TYPE AMORPHOUS SILICON THIN FILM TRANSISTOR

### (57)Abstract:

PURPOSE: To eliminate crackings by a method wherein a silicon nitride layer is formed on an amorphous silicon layer and a silicon oxide layer is formed on the silicon nitride layer.

CONSTITUTION: A silicon nitride layer 7 is formed on an amorphous silicon layer 6 as a gate insulating layer and a silicon oxide layer 8 is formed on the silicon nitride layer 7. Or, the silicon oxide layer 8 is formed on the amorphous silicon layer 6 and the silicon nitride layer 7 is formed on the silicon oxide layer 8. Therefore, the stress in the silicon nitride layer 7 is relieved by the silicon oxide layer 8. With this constitution, crackings can be eliminated and the yield is improved significantly.

Especially, if this structure is applied to the amorphous silicon thin film transistor of an active matrix type liquid crystal display, the penetration of etchant which occurs when a gate electrode is etched can be avoided, so that the possibility of corrosion of a picture element electrode can be eliminated.



CLIPPEDIMAGE= JP401276671A

PAT-NO: JP401276671A

DOCUMENT-IDENTIFIER: JP 01276671 A

TITLE: STAGGERED TOP TYPE AMORPHOUS SILICON THIN FILM TRANSISTOR

PUBN-DATE: November 7, 1989

INVENTOR-INFORMATION:

NAME

TANAKA, SAKAE

WATANABE, YOSHIKI

SHIRAI, KATSUO

ASSIGNEE-INFORMATION:

NAME

SEIKOSHA CO LTD

NIPPON PRECISION CIRCUITS KK

COUNTRY

N/A

N/A

APPL-NO: JP63105280

APPL-DATE: April 27, 1988

INT-CL (IPC): H01L029/78;H01L027/12

US-CL-CURRENT: 257/57

ABSTRACT:

PURPOSE: To eliminate crackings by a method wherein a silicon nitride layer is formed on an amorphous silicon layer and a silicon oxide layer is formed on the silicon nitride layer.

CONSTITUTION: A silicon nitride layer 7 is formed on an amorphous silicon layer

6 as a gate insulating layer and a silicon oxide layer 8 is formed on the silicon nitride layer 7. Or, the silicon oxide layer 8 is formed on the amorphous silicon layer 6 and the silicon nitride layer 7 is formed on the silicon oxide layer 8. Therefore, the stress in the silicon nitride layer 7 is

relieved by the silicon oxide layer 8. With this constitution, crackings can be eliminated and the yield is improved significantly. Especially, if this structure is applied to the amorphous silicon thin film transistor of an active matrix type liquid crystal display, the penetration of etchant which occurs when a gate electrode is etched can be avoided, so that the possibility of corrosion of a picture element electrode can be eliminated.

COPYRIGHT: (C)1989, JPO&Japio

## ⑫ 公開特許公報(A) 平1-276671

⑤Int. Cl.<sup>4</sup>H 01 L 29/78  
27/12

識別記号

3 1 1

庁内整理番号

G-8624-5F  
A-7514-5F

⑬公開 平成1年(1989)11月7日

審査請求 未請求 請求項の数 3 (全3頁)

⑭発明の名称 トップスタガー型非晶質シリコン薄膜トランジスタ

⑰特 願 昭63-105280

⑱出 願 昭63(1988)4月27日

⑲発 明 者 田 中 栄 東京都墨田区太平4丁目1番1号 株式会社精工舎内  
 ⑲発 明 者 渡 辺 善 昭 東京都墨田区太平4丁目1番1号 株式会社精工舎内  
 ⑲発 明 者 白 井 勝 夫 栃木県那須郡塩原町大字下田野531-1 日本プレジジョン・サーキッツ株式会社内  
 ⑲出 願 人 株式会社精工舎 東京都中央区京橋2丁目6番21号  
 ⑲出 願 人 日本プレジジョン・サーキッツ株式会社 東京都中央区銀座3丁目5番8号  
 ⑲代 理 人 弁理士 松田 和子

## 明 細 書

## 1. 発明の名称

トップスタガー型非晶質シリコン薄膜  
トランジスタ

## 2. 特許請求の範囲

(1) 非晶質シリコン層上に、ゲート絶縁層として窒化シリコン層を形成するとともにこの窒化シリコン層上に酸化シリコン層を形成したことを特徴とするトップスタガー型非晶質シリコン薄膜トランジスタ。

(2) 非晶質シリコン層上に、ゲート絶縁層として酸化シリコン層を形成するとともにこの酸化シリコン層上に窒化シリコン層を形成したことを特徴とするトップスタガー型非晶質シリコン薄膜トランジスタ。

(3) 非晶質シリコン層上に、ゲート絶縁層として第1の窒化シリコン層を形成するとともにこの第1の窒化シリコン層上に酸化シリコン層を形成し、さらにこの酸化シリコン層上に第2の窒化シリコン層を形成したことを特徴とするトップスタ

ガー型非晶質シリコン薄膜トランジスタ。

## 3. 発明の詳細な説明

[産業上の利用分野]

本発明は、アクティブマトリクス型液晶表示器やイメージセンサー等に用いられるトップスタガー型非晶質シリコン薄膜トランジスタに関するものである。

[従来の技術]

近年、アクティブマトリクス型液晶表示器やイメージセンサーへの応用を目指して、非晶質シリコン(以下、a-Siという。)薄膜トランジスタ(以下、TFTという。)の研究開発が各所で行われている。

第4図は上記a-SiTFTの一例を示したものである。同図において、1はガラス等を用いた絶縁性基板、2はITO(Indium Tin Oxide)を用いた画素電極、3はソース配線、4、5はそれぞれリンを適量含んだn型シリコン層を用いたドレイン電極とソース電極、6は非晶質シリコン層、7はゲート絶縁層となる窒化シリコン層、9は

A1(アルミニウム)を用いたゲート電極である。同図に示されるように、ドレイン電極4およびソース電極5とゲート電極9が、非品質シリコン層6およびゲート絶縁層となる窒化シリコン層7を挟んで形成され、しかもドレイン電極4およびソース電極5がゲート電極9よりも絶縁性基板1側に形成された構造を有するa-SiTFETを、トップスタガー型a-SiTFETと呼んでいる。

#### 〔解決しようとする課題〕

上記トップスタガー型a-SiTFETでは、窒化シリコン層7の応力のため、特に各部の段差付近で窒化シリコン層7にクラックが生じ、その結果ゲート電極9とドレイン電極4間、ゲート電極9とソース電極5間で絶縁不良が生じるという問題があった。

特に上記トップスタガー型a-SiTFETをアクティブマトリクス型液晶表示器に利用する場合、ゲート電極9にはA1を用いることが多く、画素電極2にはITOを用いることが多いためA1をエッチングするとき、上記窒化シリコン層7の

クラックを通してエッチング液が染み込みITOを冒すという問題もあった。

本発明は上記従来の課題に対してなされたものであり、クラックの生じないa-SiTFETを提供することを目的としている。

#### 〔課題を解決するための手段〕

本発明は、非品質シリコン層上に、ゲート絶縁層として窒化シリコン層を形成し、この窒化シリコン層上に酸化シリコン層を形成することによりあるいは非品質シリコン層上に酸化シリコン層を形成し、この酸化シリコン層上に窒化シリコン層を形成することにより上記課題を解決するものである。

また、ゲート絶縁層として、第1の窒化シリコン層を形成し、この窒化シリコン層上に酸化シリコン層を形成し、この酸化シリコン層上に第2の窒化シリコン層を形成することによっても上記課題を解決することができる。

#### 〔実施例〕

以下、本発明における一実施例を図面に基いて

説明する。

第1図において、1はガラス等を用いた絶縁性基板、2はITOを用いた画素電極、3はソース配線、4、5はそれぞれリンを適量含んだn型シリコン層を用いたドレイン電極とソース電極、6は非品質シリコン層、7、8はそれぞれ窒化シリコン層(厚さ100nm)および酸化シリコン層(厚さ300nm)であり、両者によりゲート絶縁層を形成している。9はA1を用いたゲート電極である。

本例では、酸化シリコン層8が非品質シリコン層6上の窒化シリコン層7の応力を緩和するため、窒化シリコン層7、酸化シリコン層8にクラックが生じることがなく、歩留りが大幅に改善される。

第2図は本発明における第2の実施例を示したものである。本例では、非品質シリコン層6上に酸化シリコン層8(厚さ300nm)を形成し、この酸化シリコン層8上に窒化シリコン層7(厚さ100nm)を形成したものであるが、上記の例と同様に、酸化シリコン層8が窒化シリコン層

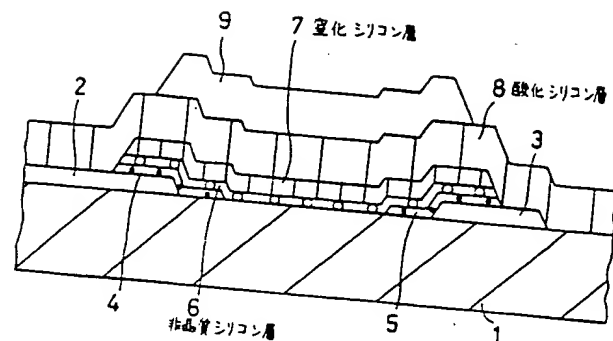
7の応力を緩和するため、クラックが生じることがなく、歩留りを大幅に改善することができる。

第3図は本発明における第3の実施例を示したものである。本例では、非品質シリコン層6上に第1の窒化シリコン層7a(厚さ100nm)を形成し、この第1の窒化シリコン層7a上に酸化シリコン層8(厚さ300nm)を形成し、この酸化シリコン層8上に第2の窒化シリコン層7b(厚さ100nm)を形成したものである。これも上記2例と同様に、酸化シリコン層8が窒化シリコン層7a、7bの応力を緩和するため、クラックが生じることがなく、歩留りを大幅に改善することができる。

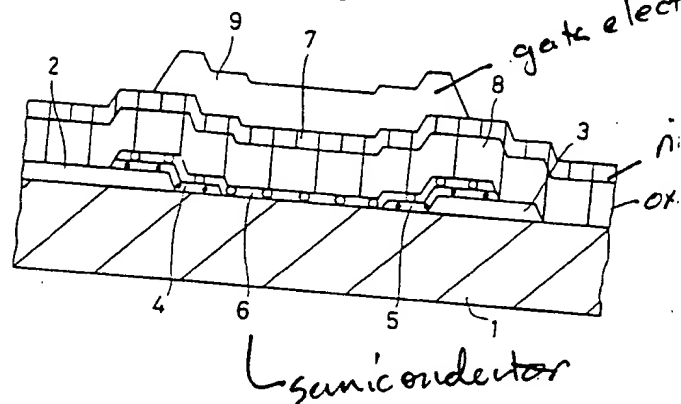
なお、窒化シリコン層を用いずに酸化シリコン層だけでゲート絶縁層を形成すると、ゲート電極に含まれる不純物が酸化シリコン層中を移動して非品質シリコン層を汚染し、信頼性を著しく低下させる。従って窒化シリコン層を設け、上記不純物の移動を防止することが重要である。

#### 〔発明の効果〕

第1図

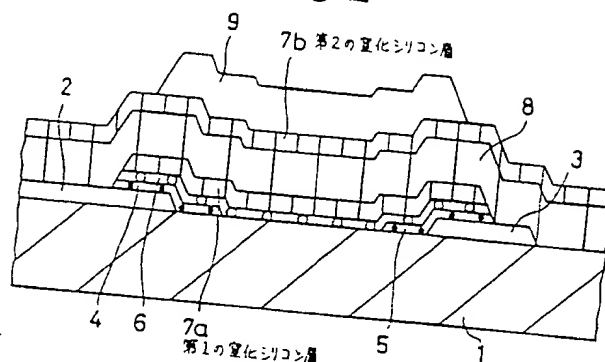


第2図



以上

第3図



第4図

